

CLIPPEDIMAGE= JP402142143A

PAT-NO: JP402142143A

DOCUMENT-IDENTIFIER: JP 02142143 A

TITLE: MANUFACTURE OF FILED EFFECT TRANSISTOR

PUBN-DATE: May 31, 1990

INVENTOR-INFORMATION:

NAME

TOKUE, TATSUO

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP63296677

APPL-DATE: November 22, 1988

INT-CL (IPC): H01L021/338;H01L029/50 ;H01L029/812

US-CL-CURRENT: 148/DIG.53,438/951 ,438/FOR.422 ,438/FOR.455

ABSTRACT:

PURPOSE: To make it possible to reduce parasitic capacitance and to improve microwave characteristics and reliability by etching an insulating film after the formation of a recess, evaporating a gate metal, and performing lift-off.

CONSTITUTION: An insulating film 2 and a resist layer 3 are formed on a GaAs substrate 1. After the resist is patterned and an SiO<sub>2</sub> film 3 are etched, the SiO<sub>2</sub> film 2 forming a recess part 5 is etched. A gate metal (e.g., Ti-Al having a thickness of 200-5,000Å) is evaporated. Lift-off is performed, and a gate electrode 6 is formed. Thereafter, a

passivation film 7 (e.g., an SiN film having a thickness of 500-1,000 $\text{\AA}$ ; by a plasma CVD method) is formed. Therefore, the lower part of the eaves of the mushroom gate is not embedded with the film 7. To realize this structure, SiO<sub>2</sub> etching before the formation of the gate need to be performed so that a part wider than the upper part of the electrode 6 is obtained. Accuracy is less required for etching width at this time than for etching width before the formation of the recess. Parasitic capacitance can be decreased with a spacer required for Schottky-property-damage prevention and the like being provided.

COPYRIGHT: (C)1990, JPO&Japio

## ⑫ 公開特許公報(A) 平2-142143

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)5月31日

H 01 L 21/338  
29/50  
29/812

J

7638-5F

7733-5F H 01 L 29/80

F

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 電界効果トランジスタの製造方法

⑯ 特 願 昭63-296677

⑰ 出 願 昭63(1988)11月22日

⑱ 発 明 者 徳 江 達 夫 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

## 明 細 書

スタの製造方法に関するものである。

〔従来の技術〕

## 1. 発明の名称

電界効果トランジスタの製造方法

マイクロ波増幅用のガリウム砒素電界効果 (GaAs FET) 及びアルミガリウム砒素／ガリウム砒素系のヘテロ接合構造を有する電界効果トランジスタ (HEMT, MODFET, HJ-FET 等と称されるが、以下 HJ-FET と記す) は性能向上のゲート長短縮、ソース抵抗低減等が図られている。特にマイクロ波増幅用では、ゲート長 ( $L_g$ ) 短縮が有効であり、EB直描技術等により  $0.25 \sim 0.3 \mu m$  の素子が実用化されている。また  $L_g$  短縮によるゲート抵抗 ( $R_g$ ) 増大による特性劣化を避ける為、マッシュルームゲートあるいはT型ゲートも採用されている。このゲート構造の例を第3図に示すが、この形成方法は、数種類あるが、EB直描あるいはFIBを利用し、リフトオフ法により形成することが  $L_g$  制御等に有利である。この場合、ショットキー性、あるいはダメージ等防止の為には、スペーサ層の絶縁膜 ( $SiO_2$  膜) 2 を介したゲート電極 6 の形成が

## 2. 特許請求の範囲

リフトオフ法によりゲート形成を行なう電界効果トランジスタの製造方法において、半導体基板上に絶縁膜を形成した後にレジストパターンニングを行なう工程と、前記絶縁膜をエッチングした後リセス形成を行なう工程と、その後更に前記絶縁膜をエッチングした後ゲート金属を蒸着し、リフトオフを行なう工程とを有することを特徴とする電界効果トランジスタの製造方法。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は電界効果トランジスタの製造方法に関し、特にゲート形成方法に関し、寄生容量を低減し、良好な高周波特性を有する電界効果トランジ

有効である。

〔発明が解決しようとする課題〕

かかる従来方法では以下に述べる問題点を有する。従来方法ではレジストのパターニングを行なった後、 $\text{SiO}_2$ 膜をエッチングし、リセス形成を行なった後ゲートメタル6(例えばTi-A $\ell$ )を蒸着後リフトオフし、パッシベーション膜を形成する。この場合、第3図に示される様に、マッシュルーム構造のひさし下部のパッシベーション膜により寄生容量が増大する。この為、 $L_g$ 短縮、 $R_g$ 低減にもかかわらず、マイクロ波特性は向上しない。特に利得が低下する。例えば $L_g = 0.3 \mu\text{m}$ 、 $W_g = 200 \mu\text{m}$ の素子で12GHzにおいて1dB程度低下する。また寄生容量を増大させない為には、パッシベーション膜を形成しなければ良いが、素子の信頼度維持には問題がある。

〔課題を解決するための手段〕

本発明によれば、マッシュルームゲートとなる様にレジストのパターニングを行なった後、スペーサー層の絶縁膜をエッチングし、リセス形成

を行なう工程と、その後に、更にスペーサー層の絶縁膜をエッチングした後にゲート金属の蒸着を行ないリフトオフ法によりゲート形成を行なう電界効果トランジスタの製造方法を得る。

〔実施例〕

次に、本発明について図面を参照して、より詳細に説明する。

第1図は本発明の一実施例を説明する為の工程断面図である。第1図(a)はアクティブ領域を形成した後のGaAs基板1上に絶縁膜( $\text{SiO}_2$ 、500~1500Å)2を形成した後レジスト層3を形成する。レジストとしては主にPMMA系を用いEBあるいはFIBにより、レジストのパターニングを行なう(第2図(b))。次に、 $\text{SiO}_2$ 膜3をエッチングした後リセス部5を形成する(第1図(c))。その後、更に $\text{SiO}_2$ 膜2をエッチングし(第1図(d))、ゲート金属(例えばTi-A $\ell$ を200~5000Å)を蒸着し、リフトオフを行ない、ゲート電極6を形成する(第1図(e))。その後パッシベーション膜7(例えばブラ

ズマCVD法による $\text{SiN}$ 膜500~1000Å)を形成する(第1図(f))。

以上の様に本発明の方法によれば、マッシュルームゲートのひさし下部がパッシベーション膜7にて埋めることはない。この構造を実現する為には、ゲート電極6の上部の幅以上になる様にゲート形成前の $\text{SiO}_2$ エッチングを行なえばよく、リセス形成前のエッチングと比較し、エッチング幅の精度はなくても良い。これにより、ショットキー性、ダメージ防止等の為に必要なスペーサー層を設けたまま、寄生容量の低減がなされたマッシュルームゲートが実現できる。

第2図は本発明の他の実施例を示す断面図である。この例では通常の矩形ゲートの例であり、方法は第1図で説明した実施例と同じである。寄生容量の低減はマッシュルームゲートあるいはT型ゲート程には大きくはないが効果は期待できる。

〔発明の効果〕

以上説明したように、本発明による製造方法によれば、ゲート金属の蒸着の前に、スペーサーの

$\text{SiO}_2$ 膜をエッチングすることにより、パッシベーション膜を形成する構造での寄生容量の低減が可能であり、良好なマイクロ波特性及び信頼度を有する電界効果トランジスタが得られる。

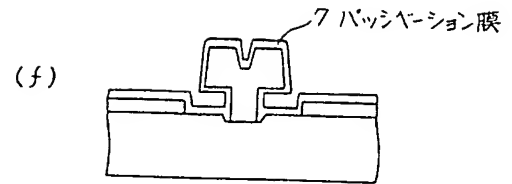
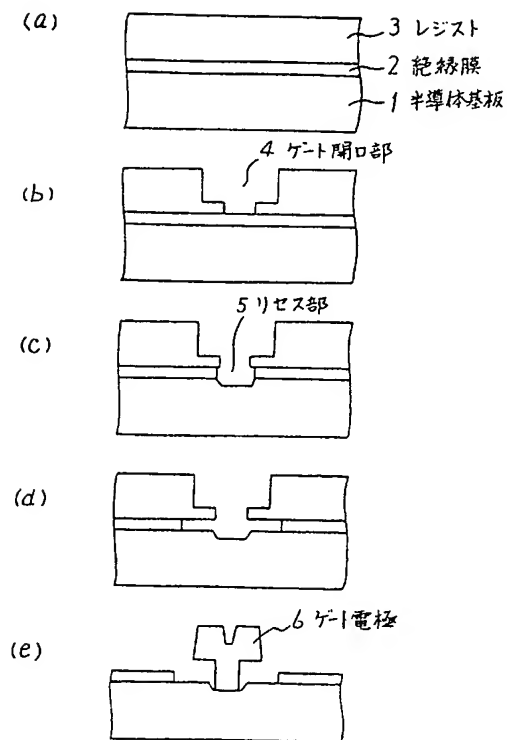
#### 4. 図面の簡単な説明

第1図(a)~(f)は本発明の一実施例を示す工程断面図、第2図(a)および(b)は本発明の他の実施例を示す工程断面図、第3図は従来方法による構造を示す断面図である。

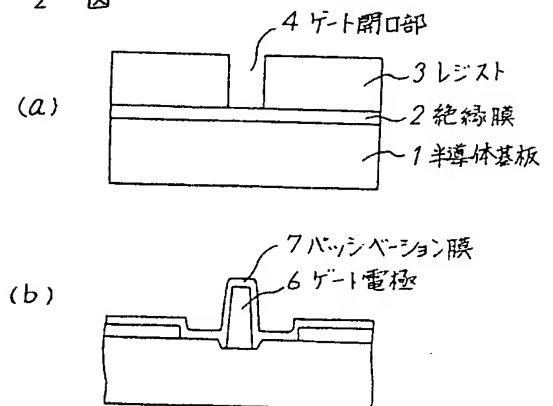
1……半導体基板、2……絶縁膜、3……レジスト、4……ゲート開口部、5……リセス部、6……ゲート電極、7……パッシベーション膜。

代理人 弁理士 内 原 晋

第 1 図



第 2 図



第 3 図

